

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

DIALOG(R) File 347:JAPIO
(c) 1999 JPO & JAPIO. All rts. reserv.

05431796 **Image available**
SOLID-STATE IMAGE PICKUP DEVICE AND IMAGE PICKUP SYSTEM

PUB. NO.: 09-046596 [JP 9046596 A]
PUBLISHED: February 14, 1997 (19970214)
INVENTOR(s): TAKAHASHI HIDEKAZU
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 07-197471 [JP 95197471]
FILED: August 02, 1995 (19950802)
INTL CLASS: [6] H04N-005/335; H01L-027/146
JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 29.4 (PRECISION
INSTRUMENTS -- Business Machines); 42.2 (ELECTRONICS -- Solid
State Components); 44.7 (COMMUNICATION -- Facsimile)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

ABSTRACT

PROBLEM TO BE SOLVED: To reduce a CMOS sensor by connecting plural photoelectric conversion areas to an FD are formed to several pixel each via a MOS transistor(TR) switch.

SOLUTION: The image pickup device is provided with a photoelectric conversion section 1 of a photoelectric conversion element, a photo gate 2, a transfer switch MOS TR 3, a reset MOS TR 4, a source follower MOS TR 5, a horizontal selection switch MOS TR 6, a source follower load MOS TR 7, dark output, bright output transfer MOS TRs 8,9, dark output/bright output storage capacitors CTN, CTS 10, 11, a horizontal transfer MOS TR 12, a horizontal output line reset MOS TR 13, a differential amplifier TR 14, a horizontal scanning circuit 15 and a vertical scanning circuit 16. Thus, an FD (floating diffusion) region and a source follower amplifier having been provided to each pixel in a conventional image pickup device are formed to several pixels each and plural photoelectric conversion regions are connected to the FD region via a MOS TR switch.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-46596

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl.⁶
H 0 4 N 5/335

H 0 1 L 27/146

識別記号 庁内整理番号

序内整理番号

F I
H 0 4 N 5/335
H 0 1 L 27/14

技術表示箇所

審査請求 未請求 請求項の数8 OL (全 9 頁)

(21)出願番号 特願平7-197471

(22)出願日 平成7年(1995)8月2日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 明者 高橋 香和

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

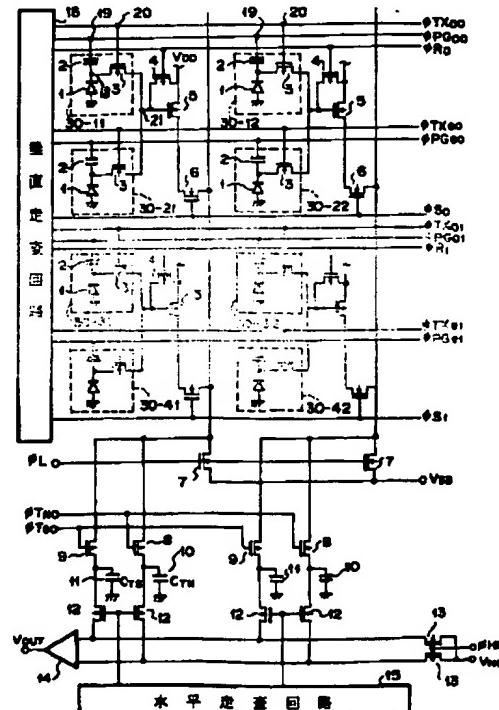
(74)代理人 乔理士 山下 镇平

(54) 【発明の名称】 固体撮像装置と画像撮像装置

(57) 【要約】

【課題】 CMOSセンサの縮少化と、画素信号加算を画素部で行ない、さらに加算、非加算を任意に行える多機能センサを実現することを課題とする。

【解決手段】 光電変換素子で発生した電荷を転送スイッチを介してフローティングディファージョン部へ完全転送させ、そのフローティングディファージョン部の電位変化をソースフォロワーアンプで外部へ出力する回路構成において、1つの上記フローティングディファージョン部は数個の上記光電変換素子を転送スイッチを介して接続し、上記ソースフォロワーアンプを数画素に1組形成することを特徴とする。また、上記光電変換素子がMOSトランジスタゲートとゲート下の空乏層からなることを特徴とする。



【特許請求の範囲】

【請求項1】 光電変換素子で発生した電荷を転送スイッチを介してフローティングディフェージョン部へ完全転送させ、そのフローティングディフェージョン部の電位変化をソースフォロワアンプで外部へ出力する固体撮像装置において、

1つの前記フローティングディフェージョン部に数個の前記光電変換素子を転送スイッチを介して接続し、前記ソースフォロワアンプを数画素に1組形成することを特徴とする固体撮像装置。

【請求項2】 請求項1に記載の固体撮像装置において、前記光電変換素子がMOSトランジスタゲートとゲート下の空乏層からなることを特徴とする固体撮像装置。

【請求項3】 請求項2に記載の固体撮像装置において、前記光電変換素子のMOSトランジスタゲートを周辺回路のMOSトランジスタと同一工程で作製したことを特徴とする固体撮像装置。

【請求項4】 請求項1に記載の固体撮像装置において、前記光電変換素子がp-n接合フォトダイオードであることを特徴とする固体撮像装置。

【請求項5】 請求項1に記載の固体撮像装置において、複数の前記光電変換素子の電荷を同時又は別に前記フローティングディフェージョン部へ転送できることを特徴とする固体撮像装置。

【請求項6】 請求項1に記載の固体撮像装置を複数個並べて画像信号出力を得ることを特徴とする画像撮像装置。

【請求項7】 請求項6に記載の画像撮像装置において、前記フローティングディフェージョン部に少なくとも2つの前記光電変換素子の電荷を加算することを特徴とする画像撮像装置。

【請求項8】 請求項6に記載の画像撮像装置において、前記光電変換素子の読み出しにインターリーブ走査によるODD及びEVENと同期して補色モザイクパターンからの画像信号を得ることを特徴とする画像撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像信号を得る画像撮像装置に關し、特にCMOSプロセスコンパチブルXYアドレス型増幅型固体撮像装置に関するものである。

【0002】

【従来の技術】従来、固体撮像素子としては、光電変換を可能とする金属と酸化物と半導体からなるMOS構造を有し、光キャリアの移動方式でDEIT型とCCD型と分けられる。この固体撮像素子は太陽電池、イメージカメラ、複写機、ファクシミリなど種々な方面に使用され、技術的にも変換効率や集積密度の改良改善が図られている。このような増幅型固体撮像装置の1つに、CMOSプロセスコンパチブルのセンサ（以後CMOSセン

サと略す）がある。このタイプのセンサはIEEETR ACTIONS ON ELECTRON DEVICE, VOL 41, PP 452~453, 1994などの文献で発表されている。図11にCMOSセンサの回路構成図（B）及び断面図（A）を示す。また、図11（C）は光電変換部の光子h_vの蓄積中の電荷の状態図を、図11（D）は光子h_vの蓄積後の電荷の状態図を示す。

【0003】図11（A）（B）において、1は光電変換部、2はMOSトランジスタによるフォトゲート、3は転送スイッチMOSトランジスタ、4はリセット用MOSトランジスタ、5はソースフォロワアンプMOSトランジスタ、6は水平選択スイッチMOSトランジスタ、7はソースフォロワ負荷MOSトランジスタ、8は暗出力転送MOSトランジスタ、9は明出力転送MOSトランジスタ、10は暗出力蓄積容量、11は明出力蓄積容量である。

【0004】また、17はP型ウェル、18はゲート酸化膜、19は一層目ポリSi、20は二層目ポリSi、21はn⁺フローティングディフェージョン領域（FD）である。本センサの特徴の1つはフルCMOSトランジスタ・プロセスコンパチブルであり、画素部のMOSトランジスタと周辺回路のMOSトランジスタを同一工程で形成できるため、マスク枚数、プロセス工程がCCDと比較して大幅に削減できるということが挙げられる。

【0005】次に動作方法を簡単に述べる。先ず、フォトゲート2の下に空乏層を拡げるため制御パルスμPGに正の電圧を印加する。FD部21は蓄積中、ブルーミング防止のため制御パルスμRをハイにして電源V_{DD}に固定しておく。光子h_vが照射されフォトゲート2下でキャリアが発生すると、フォトゲート2下の空乏層中に電子が蓄積されていき、正孔はP型ウェル17を通して排出される。

【0006】光電変換部1、P型ウェル17とFD部21の間には転送MOSトランジスタ3によるエネルギー障壁が形成されているため、光電荷蓄積中の電子はフォトゲート2下に存在する（図11（C））。読み出し状態になると転送MOSトランジスタ3下の障壁をなくし、フォトゲート2下の電子をFD部21へ完全に転送させる様に制御パルスμEG、制御パルスμTXを設けら（図11（D））。完全転送であるため、残像やノイズは光電変換部1においては発生しない。FD部21に電子が転送されると電子の数に応じてFD部21の電位が変化する。その電位変化をソースフォロワ動作でソースフォロワアンプMOSトランジスタ5のソースを介して外部の水平選択スイッチMOSトランジスタ6へ出力することにより、線型性の良い光電変換特性を得ることができる。FD部21において、リセットによるkTCノイズが発生するが、これは光キャリア転送前の暗出力を

サンプリングして蓄積しておき、明出力との差を取れば除去できる。従ってこのCMOSセンサは低ノイズで高S/N信号が特徴となる。又、完全非破壊読み出しであるため多機能化が実現できる。更にXYアドレス方式による高歩留り、低消費電力というメリットもある。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来例では、各画素にフォトゲートが1つ、MOSトランジスタが4つ、水平駆動線が4本あるため、CCDタイプのセンサと比較して画素の縮少化が難しく、又、開口率も小さくなってしまうといった欠点があった。

【0008】又、TV走査を行うための光電変換信号の加算も周辺回路で行うため、動作速度が遅速になってしまふといった欠点もあった。

【0009】本発明に係る第1の目的はCMOSセンサの縮少化を実現することであり、第2の目的は画素信号加算を画素部で行うことを実現し、さらに加算、非加算を任意に行える多機能センサを実現することである。

【0010】

【課題を解決するための手段】本発明は、上記目的を達成するためになされたもので、従来各画素毎に設けていたFD領域とソースフォロワアンプを数画素に1個形成し、そのFD領域に複数の光電変換領域をMOSトランジスタスイッチを介して接続させたことを特徴とする。

【0011】この構成によりソースフォロワのMOSトランジスタアンプ、水平線選択用MOSトランジスタ、リセット用MOSトランジスタを数画素周期に1組設ければよいので、従来より各画素に占める素子数、配線数を減らせるので微細化が可能となる。

【0012】又、FD部への転送MOSトランジスタのタイミングで、2画素の信号電荷の加算、非加算が簡単に行えるので、色差線順次駆動、全画素独立出力駆動等の様々な駆動方式に対応できる。

【0013】さらに、固体撮像装置において、光電変換素子がMOSトランジスタゲートとゲート下の空乏層からなることを特徴とする。また、上記光電変換素子のMOSトランジスタゲートを周辺回路のMOSトランジスタと同一工程で作製したことを特徴とする。また、上記光電変換素子がPn接合フォトダイオードであることを特徴とする。さらに、複数の上記光電変換素子の電荷を同時に又は別に前記フローティングディフェージョン部へ転送できることを特徴とする。また上記固体撮像装置を複数個並べて画像信号出力を得る画像撮像装置を特徴とする。かかる構成により、多彩な画像信号を得ることができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を、各実施例とともに図面を参照しつつ詳細に説明する。

【0015】(第1実施例) 図1に、本発明による第1実施例の概略的回路構成図を示す。同図において、2列

×4行画素の2次元エリアセンサを示したものであるが、実際は、本センサを拡大して、1920列×1080行等と画素数を多くして、解像度を高めている。

【0016】図1において、1はMOSトランジスタゲートとゲート下の空乏層からなる光電変換素子の光電変換部、2はフォトゲート、3は転送スイッチMOSトランジスタ、4はリセット用MOSトランジスタ、5はソースフォロワアンプMOSトランジスタ、6は水平選択スイッチMOSトランジスタ、7はソースフォロワの負荷MOSトランジスタ、8は暗出力転送MOSトランジスタ、9は明出力転送MOSトランジスタ、10は暗出力蓄積容量CTN、11は明出力蓄積容量CTS、12は水平転送MOSトランジスタ、13は水平出力線リセットMOSトランジスタ、14は差動出力アンプ、15は水平走査回路、16は垂直走査回路である。

【0017】図2に画素部の断面図を示す。同図において、17はP型ウェル、18はゲート酸化膜、19は一層目ポリSi、20は二層目ポリSi、21はn⁺フローティングディフェージョン部(FD)である。21のFDは別の転送MOSトランジスタを介して別の光電変換部と接続される。同図において、2つの転送MOSトランジスタ3のドレインとFD部21を共通化して微細化とFD部21の容量低減による感度向上を図っているが、A1配線でFD部21を接続しても良い。

【0018】次に、図3のタイミングチャートを用いて動作を説明する。このタイミングチャートは全画素独立出力の場合である。

【0019】まず垂直走査回路16からのタイミング出力によって、制御パルスφLをハイとして垂直出力線をリセットする。また制御パルスφR0, φPG00, φPGe0をハイとし、リセット用MOSトランジスタ4をオンとし、フォトゲート2の一層目ポリSi19をハイとしておく。時刻T0において、制御パルスφS0をハイとし、選択スイッチMOSトランジスタ6をオンさせ、第1, 第2ラインの画素部を選択する。次に制御パルスφR0をローとし、FD部21のリセットを止め、FD部21をフローティング状態とし、ソースフォロワアンプMOSトランジスタ5のゲート・ソース間をスルーとした後、時刻T1において制御パルスφTX00をハイとし、FD部21の暗電圧をソースフォロワ動作で蓄積容量CTN10に出力させる。

【0020】次に、第1ラインの画素の光電変換出力を行なうため、第1ラインの制御パルスφTX00をハイとして転送スイッチMOSトランジスタ3を導通した後、時刻T2において制御パルスφPG00をローとして下げる。この時フォトゲート2の下に拡がっていたボテンシャル井戸を上げて、光発生キャリアをFD部21に完全転送させるような電圧関係が好ましい。従って完全転送が可能であれば制御パルスφTXはパルスではなくある固定電位でもかまわない。

【0021】時刻T₂でフォトダイオードの光電変換部1からの電荷がFD部21に転送されることにより、FD部21の電位が光に応じて変化することになる。この時ソースフォロワアンプMOSトランジスタ5がフローティング状態であるので、FD部21の電位を時刻T₃において制御パルスφT_sをハイとして蓄積容量C_{Ts}11に出力する。この時点では第1ラインの画素の暗出力と光出力はそれぞれ蓄積容量C_{TN}10とC_{Ts}11に蓄積されおり、時刻T₄の制御パルスφHCを一時ハイとして水平出力線リセットMOSトランジスタ13を導通して水平出力線をリセットし、水平転送期間において水平走査回路15の走査タイミング信号により水平出力線に画素の暗出力と光出力を出力される。この時、蓄積容量C_{TN}10とC_{Ts}11の差動增幅器14によって、差動出力V_{OUT}を取れば、画素のランダムノイズ、固定パターンノイズを除去したS/Nの良い信号が得られる。また画素30-12、30-22の光電荷は画素30-11、30-21と同時に夫々の蓄積容量C_{TN}10とC_{Ts}11に蓄積されるが、その読み出しあは水平走査回路15からのタイミングパルスを1画素分遅らして水平出力線に読み出して差動増幅器14から出力される。

【0022】本実施例では、差動出力V_{OUT}をチップ内で行う構成を示しているが、チップ内に含めず、外部で従来のCDS(Correlated Double Sampling: 相関二重サンプリング)回路を用いても同様の効果が得られる。

【0023】蓄積容量C_{Ts}11に明出力を出した後、制御パルスφR0をハイとしてリセット用MOSトランジスタ4を導通しFD部21を電源VDDにリセットする。第1ラインの水平転送が終了した後、第2ラインの読み出しを行う。第2ラインの読み出しあは、制御パルスφTXe0、制御パルスφPGe0を同様に駆動させ、制御パルスφTN、φTSに夫々ハイパルスを供給して、蓄積容量C_{TN}10とC_{Ts}11に夫々光電荷を蓄積し、暗出力及び明出力を取り出す。以上の駆動により、第1、第2ラインの読み出しが夫々独立に行える。この後、垂直走査回路を走査させ、同様に第2n+1、第2n+2(n=1, 2, ...)の読み出しあを行えば全画素独立出力が行える。即ち、n=1の場合には、まず制御パルスφS1をハイとし、次に次にφR1をローとし、続いて制御パルスφTN、φTX01をハイとし、制御パルスφPGe01をロー、制御パルスφTSをハイ、制御パルスφHCを一時ハイとして画素30-31、30-32の画素信号を読み出す。続いて、制御パルスφTXe1、φPGe1及び上記と同様に制御パルスを印加して、画素30-41、30-42の画素信号を読み出す。

【0024】本実施例において、1画素に1組のソースフォロワを設けずに、2画素に1組のソースフォロワを設けたことにより、ソースフォロワアンプMOSトランジスタ5、選択スイッチMOSトランジスタ6、リセットMOSトランジスタ4を従来の半分にすることができます。

る。これにより、画素の光電変換部の開口率が向上し、画素の集積化による微細化が実現できる。又、FD部21を2画素で共有化させることにより、ソースフォロワアンプMOSトランジスタ5のゲート部分の容量を増やすことを済むため、感度の低下を防ぐことができる。

【0025】本発明の別の特徴として、2画素以上の信号をFD部21において加算することによりS/Nを向上させることも挙げられる。これは、回路は全く変えずに印加パルスのタイミングのみの変更で実現できる。上下2画素信号の加算の場合のタイミングチャートを図4に示す。非加算モードの図3では制御パルスφTX00と制御パルスφTXe0、制御パルスφPGe0と制御パルスφPGe0のタイミングを1画素分ずらしていたが、加算の場合は同じタイミングである。即ち画素30-11と画素30-21とから同時に読み出すために、まず制御パルスφTNをハイとして垂直出力線からノイズ成分を読み出し、制御パルスφTX00と制御パルスφTXe0を、及び制御パルスφPGe0と制御パルスφPGe0を、夫々同時にハイ、ローとして、FD部21に転送する。

これにより、同時刻に上下2つの光電変換部1の信号をFD部21で加算することが可能となる。従って、図3のタイミングによる2つのタイミングを準備しておけば、例えば明るい時には高解像度撮像を、一方図4のタイミングによる同時読み出しのタイミングによって、例えば暗い時には高感度撮像を行うことが1つのセンサで可能となる。

【0026】上記実施例においては、FD部21に2つの光電変換部を接続した例を示したが、この光電変換部を3、4個等と複数個であっても良い。そうすることで、例えばCMOSプロセスによる短工程で、高感度の固体撮像装置、高密度の装置等と活用幅の広い装置を提供できる。

【0027】本実施例において画素部30の各MOSトランジスタは全てn型で構成して製造工程を簡単化しているが、p型のサブストレートにn型ウェルを用いて全てPMOSトランジスタで構成するのも当然可能であり、この逆の構成でもよい。

【0028】(第2実施例) 図5に本発明による第2実施例の構成回路図を示す。本実施例において、色差順次駆動ができる様に転送スイッチ22を設けたことを特徴とする。第1実施例では第1ラインと第2ラインの加算、第3ラインと第4ラインの加算が行えるが、第2ラインと第3ラインの加算は行えない。本実施例においては転送スイッチ22があるため、第2と第3ラインの加算が可能となった。

【0029】第2と第3ラインの加算の場合、第1ラインの読み出しあは図3のタイミングでT0~T4と進み、その後第2ラインを読み出す際に、制御パルスφTXe0と制御パルスφTX01、制御パルスφPGe0と制御パルスφPGe1を同時にハイ、ローとし、制御パルスφFも制

御パルス $\phi TXe0$ と同時にハイとし、他の制御パルスも同様に供給して、画素30-21と画素30-31の画素信号を蓄積容量11に蓄積し、ノイズ成分をキャンセルして画素信号出力VOUTを得ることができる。その後画素30-22と画素30-32の画素信号を蓄積容量11に蓄積して画素信号出力VOUTを得ることができる。、続けて第3ラインと第4ラインとも同様な制御パルスを供給印加して、画素30-31と画素30-41の画素信号を、及び画素30-32と画素30-42の画素信号を順次読み出すことができる。

【0030】従って、図5の回路構成チップ上に、図6のような補色モザイク型フィルタを形成すれば、NTSC方式の走査によれば、ODD(奇数)フィールドでは例えば第1ラインと第2ラインの和として $C_y + M_g$, $Y_e + G$ の出力と、例えば第3ラインと第4ラインの和として $C_y + G$, $Y_e + M_g$ の出力を順に得ることができ、EVEN(偶数)フィールドにおいても、例えば第2ラインと第3ラインの和として $C_y + M_g$, $Y_e + G$ の出力と、例えば第3ラインと第4ライン $C_y + G$, $Y_e + M_g$ の出力を順に得ることができ、インターレス走査のTV走査(NTSC, HD)におけるI軸(オレンジ・シアン系)とQ軸(緑・マゼンタ系)の2つの搬送色信号を容易に生成することなどが可能となる。

【0031】又、本実施例においても、駆動タイミングの供給タイミングを変更すれば、全画素の独立出力が可能であるのは当然である。即ち、制御パルス ϕF を常時ローとすれば、転送スイッチ22の動作をオフして、図3に示すタイミングによって時系列に従って各画素の出力毎に読み出すことができる。

【0032】従って、本実施例によれば、1ラインずれた画素の和信号を出力することが可能となってTV走査に対応するばかりでなく、図3及び図4に示すタイミングで各画素毎に時系列に独立して読み出したり、2画素の和信号を読み出したりできるので、撮像環境に応じて多彩な撮像ができる。

【0033】本実施例において、特に色差線順次駆動(インクーレース、色信号加算出力)方式を行えば、第1実施例に必要であった、メモリ、外部加算回路が不要となり、従来のCCD用の信号処理回路がそのまま使用できるため、コスト、実装面で有利となる。

【0034】(第3実施例) 図7に本発明による第3実施例の概念回路図を示す。本実施例においては、画素信号の加算をする際に、図4に示すタイミングによるFD部での加算のみでなく、光電変換部で加算できるスイッチMOSトランジスタ23を設けたことを特徴とする。

【0035】図7において、各制御パルスのタイミングは第2実施例と同様であり、第1ラインを読み出して、次に第2、第3ラインの読み出しにおいても、制御パルス ϕF も制御パルス $\phi TXe0$ と同時にハイとし、画素30-21の光電変換部1の電荷と画素30-31の光電

変換部1の電荷とがスイッチMOSトランジスタ23を導通することで加算され、画素30-21の転送MOSトランジスタ3を導通してソースフォロワMOSトランジスタ5、選択スイッチMOSトランジスタ6を介して蓄積容量11に転送される。

【0036】こうして、図6に示す補色モザイク型フィルタを形成すれば、第2実施例と同様に、ODD(奇数)フィールドでは例えば第1ラインと第2ラインの和として $C_y + M_g$, $Y_e + G$ の出力と、例えば第3ラインと第4ラインの和として $C_y + G$, $Y_e + M_g$ の出力を順に得ることができ、EVEN(偶数)フィールドにおいても、例えば第2ラインと第3ラインの和として $C_y + M_g$, $Y_e + G$ の出力と、例えば第3ラインと第4ライン $C_y + G$, $Y_e + M_g$ の出力を順に得ることができる。

【0037】従って、インターレス駆動において、ODDフィールドではFD部で加算を行い、EVENフィールドでは画素部で片方の電荷をもう片方の井戸へ転送加算して、FD部へ出力させる。もちろんEVENフィールド、ODDフィールドで逆でも良い。本実施例において、FD部容量を増やすことなく、TV走査が可能となる。また、各制御パルスのタイミングを種々変更することで、第2実施例と同様に、多彩な画像信号を得ることができる。さらに、本実施例においても、第2実施例都同様に、色差線順次駆動を行なうことにより、従来の信号処理回路をそのまま使用できるメリットが出てくる。

【0038】(第4実施例) 図8に本発明による第4実施例の概念回路図を示す。本実施例においては、光電変換部にフォトゲートを用いず、pnフォトダイオード24を用いたことを特徴とする。図9に画素の断面図を示す。同図において、25はn層であり完全空乏化できる濃度である。制御パルス ϕTX により発生した電荷をFD部へ完全転送させる。本実施例の場合も制御パルス ϕTX により信号の加算、非加算を行うことができる。

【0039】図8、図9の動作を説明する。まず制御パルス ϕR をハイとしてFD部21を電源VDDにリセットし、制御パルス ϕS をハイとして暗出力を蓄積容量10に蓄積し、次に制御パルス $\phi TX00$ をハイとして、pnフォトダイオード24に蓄積された光電荷をソースフォロワMOSトランジスタ5、選択スイッチMOSトランジスタ6を介して蓄積容量11に転送して、ノイズ成分を差動増幅器14によってキャンセルし、画像信号VOUTを出力する。また、図4によるタイミングに相当する制御パルスを供給することで、2つのpnフォトダイオード24に電荷を加算して読み出すことができる。

【0040】また、スイッチMOSトランジスタを追加することで、第2実施例及び第3実施例と同様に、インターレス走査に効率の良い画像出力を得ることができる。

【0041】(第5実施例) 図10に本発明による第5

実施例の画素断面図を示す。同図において、26は表面P⁺層であり、n層25と光電変換部を構成し、埋込み型フォトダイオードで画素を形成したことを特徴とする。この構造により表面で発生する暗電流を抑制することができる。図9と比較して効率の良い高い光電荷を得ることができるので、S/Nの高い高品質の画像信号を得ることができる。

【0042】図10に示す構造の画素は、図8のp n フォトダイオード24の代わりに設ける、第4実施例と同様な各制御パルスのタイミングによって、同様な画像出力を得ることができる。

【0043】

【発明の効果】以上説明したように、本発明によれば、素子数を減らした高開口率、微細化可能なCMOSトランジスタ型センサが実現できるため、収率アップによる高歩留り、低コスト、パッケージ小型化、光学系システム小型化という効果がある。

【0044】又、画素信号の加算、非加算を駆動方法のみで実現できるため、従来のXYアドレス機能を含めて、様々な動作方法に対応できるという効果もある。

【図面の簡単な説明】

【図1】本発明による第1実施例の概略的回路構成図である。

【図2】本発明による第1実施例の画素断面図である。

【図3】本発明による第1実施例のタイミングチャート(1)である。

【図4】本発明による第1実施例のタイミングチャート(2)である。

【図5】本発明による第2実施例の概略的回路構成図である。

【図6】本発明による第2実施例のオンチップカラーフィルタ図である。

【図7】本発明による第3実施例の概略的回路構成図である。

【図8】本発明による第4実施例の概略的回路構成図である。

【図9】本発明による第4実施例の画素断面図である。

【図10】本発明による第5実施例の画素断面図である。

【図11】従来の固体撮像装置の概略回路構成図である。

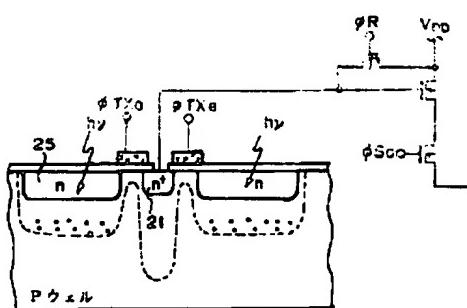
【符号の説明】

- 1 光電変換部
- 2 フォトゲート
- 3 転送スイッチMOSトランジスタ
- 4 リセットMOSトランジスタ
- 5 ソースフォロワアンプ
- 6 水平線選択スイッチMOSトランジスタ
- 7 ソースフォロワ負荷MOSトランジスタ
- 8 暗出力転送MOSトランジスタ
- 9 明出力転送MOSトランジスタ
- 10 暗出力蓄積容量
- 11 明出力蓄積容量
- 12 水平転送MOSトランジスタ
- 13 水平出力線リセットMOSトランジスタ
- 14 差動アンプ
- 15 水平走査回路
- 16 垂直走査回路
- 17 Pウェル
- 18 ゲート酸化膜
- 19 一層目ポリSi
- 20 二層目ポリSi
- 21 n⁺ フローティングディフュージョン
- 22 転送スイッチMOSトランジスタ
- 23 加算スイッチMOSトランジスタ
- 24 Pnフォトダイオード
- 25 n型層
- 26 表面P⁺層

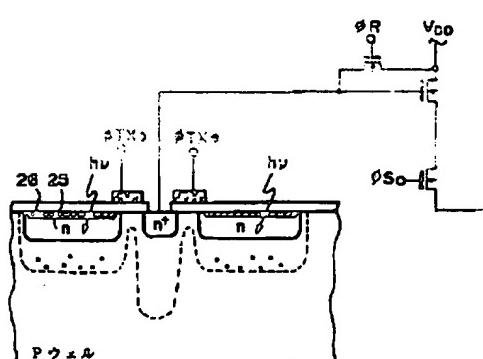
【図6】

Cy	Ye
Mg	G
Cy	Ye
G	Mg

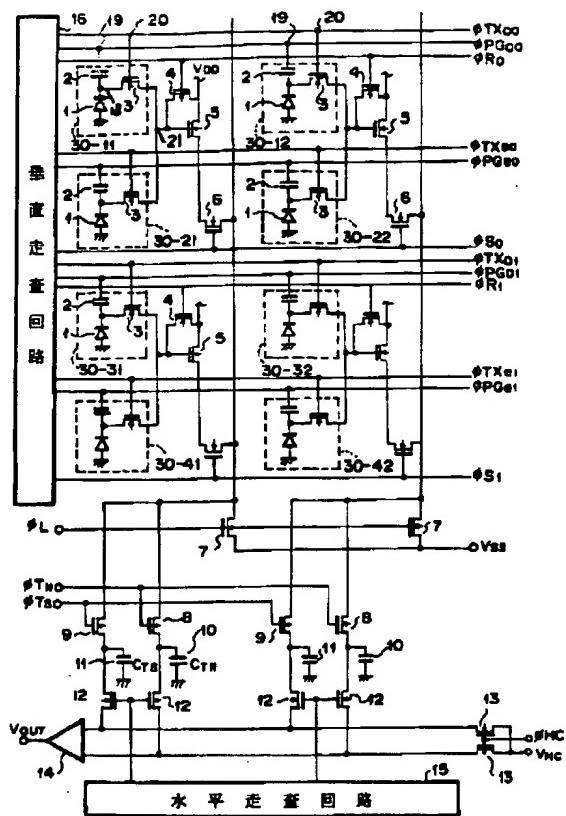
【図9】



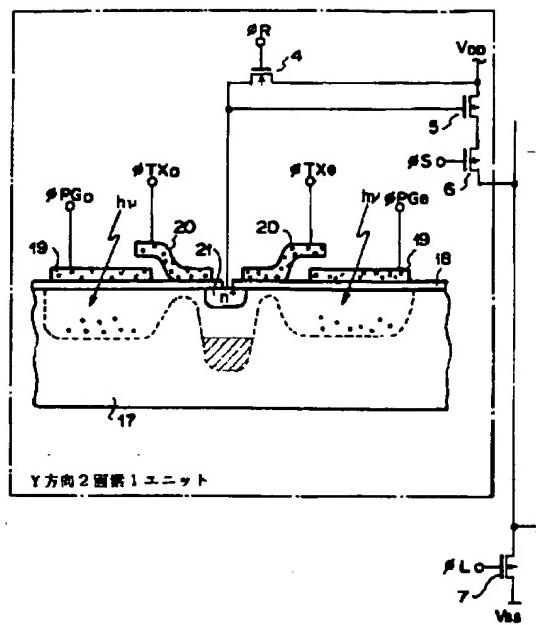
【図10】



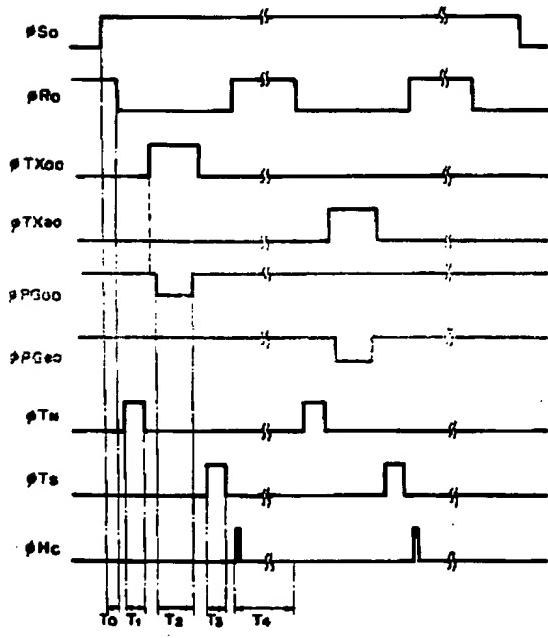
【図1】



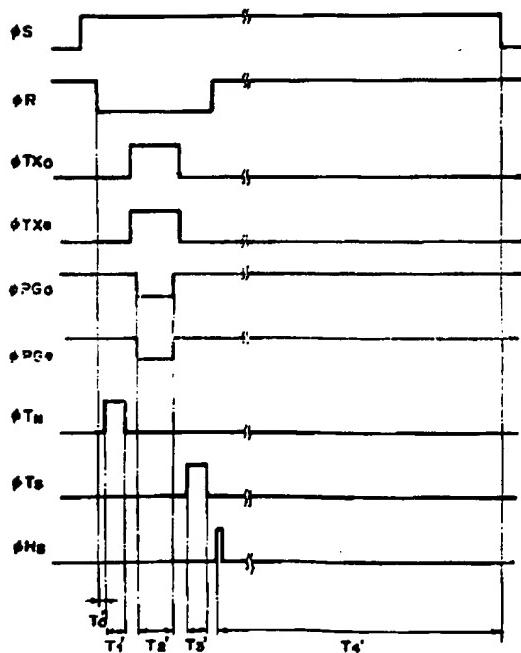
【図2】



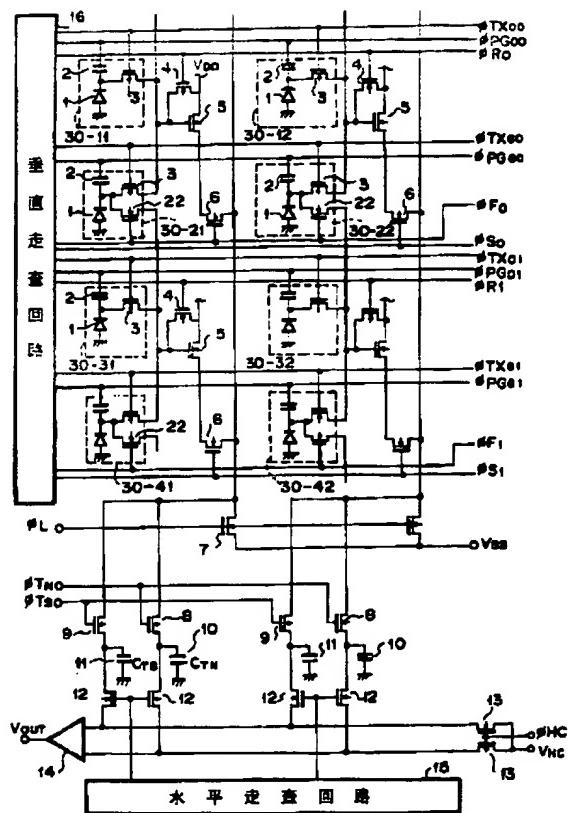
【図3】



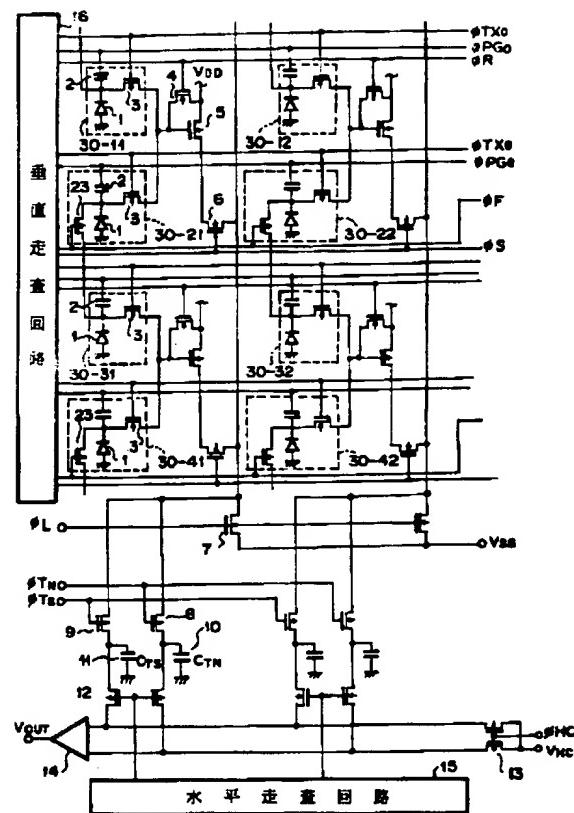
【図4】



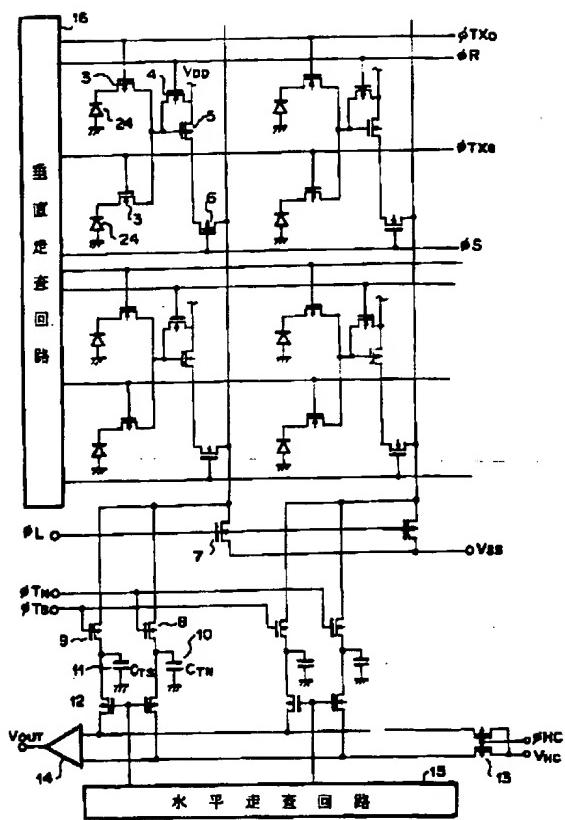
【図5】



【図7】



【図8】



【図11】

